

Docket No.: 61282-068

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Akinori HAZA, et al.	:	Confirmation Number: 7166
Serial No.: 10/809,796	:	Group Art Unit: 2811
Filed: March 26, 2004	:	Examiner:
For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE	:	

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Japanese Patent Application No. JP 2003-091915, filed on March 28, 2003.

A copy of each priority application listed above is enclosed.

Respectfully submitted,

MCDERMOTT WILL & EMERY LLP


Michael E. Eggarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
202.756.8000 MEF:gav
Facsimile: 202.756.8087
Date: August 5, 2004

August 5, 2004

日本国特許庁
JAPAN PATENT OFFICE

McDermott Will & Emery LLP

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年 3月28日
Date of Application:

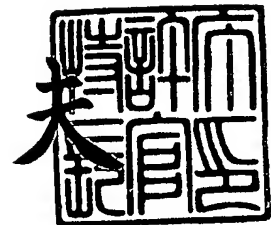
出願番号 特願2003-091915
Application Number:
ST. 10/C]: [JP2003-091915]

出願人 松下電器産業株式会社
Applicant(s):

2004年 1月27日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-300319

【書類名】 特許願

【整理番号】 5037640199

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 岡田 康幸

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 野畑 真純

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 波佐 昭則

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100105647

 【弁理士】

 【氏名又は名称】 小栗 昌平

 【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100105474

【弁理士】

【氏名又は名称】 本多 弘徳

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100108589

【弁理士】

【氏名又は名称】 市川 利光

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】再配線を含む半導体装置において、
プロービングパッドに接続された入出力（I/O）セルと、プロービングパッドを持たない入出力セルとが混在していることを特徴とする半導体装置。

【請求項 2】前記半導体装置は D R A M を含むことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】前記半導体装置はヒューズ素子を含むことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】前記半導体装置は、少なくとも 1 辺にプロービングパッドをもたないことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】


本発明は、半導体集積回路装置にかかり、特に入出力回路セルの構成に関するものである。

【0 0 0 2】

【従来の技術】

一般に、フリップチップ L S I は、チップの周辺部にプロービングパッド、その内側領域に入出力回路セルや入出力回路へ電源電圧を供給する入出力回路用電源供給セルおよび L S I 内部論理回路へ電源電圧を供給する L S I 内部論理回路用電源供給セルなどの L S I 周辺回路素子がある一定のピッチで配置され、L S I 周辺回路素子の内側領域に前記 L S I 内部論理回路などのセル領域が配置されている。

さらにチップの表面に、端子パッドと L S I を繋ぐ再配列配線 5 が配置されている。これら回路素子を駆動するための電源電圧を供給する電源ラインとしては、L S I 周辺回路素子の上部に配置された L S I 周辺回路用電源ライン 1 0 と、L S I 内部論理回路周辺に配置された L S I 内部論理回路用電源ラインが在り、



それぞれ電氣的に分離されて配置されている。なおここでフリップチップパッケージは、ステイフナに形成されたボールグリッドアレイ（BGA）を含むパッケージ等が用いられる。

【0003】

L S I チップ内の各回路素子へ電源電圧を供給するタイミングとしては、動作時の他に製品検査時がある。製品検査には、ウエハ段階でのプロービング検査と、組立後の完成品段階での検査とがある。組立後の完成品段階での検査の場合、製品を実使用周波数で動作させて信号の入出力タイミングを検査するという方法がとられている。この場合、機能と特性の双方で L S I チップの出来映えを判断する目的で、L S I 周辺回路素子および L S I 内部論理回路は、ともに十分な電源電圧を供給する必要がある。

【0004】

近年、L S I の大規模化が進むになるにつれて、集積度は高まる一方であり、入力端子数も増大の一途をたどっている。しかしながらプロービングパッド2は、プロービング検査時の作業性あるいはボンディングの作業性から、現状ではパッドピッチは120 μ m程度が限度であり、これが高集積化を阻むひとつの問題となっている。

そこで、図9に示すように、入出力回路2をボンディングが可能なパッドピッチの半分の値以上で配列し、複数のプロービングパッド2を複数の入出力回路に対してチップ周辺側の領域とチップ中心側のセル領域6のそれぞれにボンディングが可能なパッドピッチ以上で配置された構成とする、いわゆる千鳥配列によりこの問題を回避している（特許文献1参照）。

しかしながら、千鳥配列は単列配列方式に比べてパッド領域が広くなる上、内部回路とパッド領域とが離間した構造となり、空き領域ができてしまい、結果的に、チップサイズの低減には限界があった。

【0005】

【特許文献1】

特開平10-284611号

【0006】

【発明が解決しようとする課題】

このように、従来の半導体装置では、プロービングパッドの配置に制約があり、これが半導体装置の高集積化を阻む大きな問題となっていた。

また、高速なデータ転送を行う手法として、データのビット幅を増大させると、入出力回路セルの数が増加し、それら入出力回路セルに供給する入出力回路用電源供給セルの増大を招くという問題があった。

本発明は前記実情に鑑みてなされたもので、小型化、高集積化が可能でかつプロービングテストの作業性も良好で確実な半導体装置を提供することを目的とする。

【0 0 0 7】**【課題を解決するための手段】**

そこで本発明では、再配線を含む半導体装置において、プロービングパッドに接続された入出力（I/O）セルと、プロービングパッドを持たない入出力セルとが混在していることを特徴とする。

入出力セルには必ずしもプロービングパッドを必要としないものもあり、必ずしも必要としないものには、プロービングパッドを設けないようにしているため、プロービングパッドをもたない入出力セルの分だけセルの配列ピッチを増大することができ、実装作業性を低下させることなく、集積度の向上をはかることが可能となる。

また、前記半導体装置はDRAMを含むことを特徴とする。

DRAMの場合、プロービングパッドを用いたテストによって特性に問題があった場合はヒューズ等を切断することにより、特性に問題があるメモリアレーを切断して（予備の）冗長回路に接続し、救済を行うようにしている。

また、前記半導体装置はヒューズ素子を含むことを特徴とする。プロービングパッドを用いたテストによって特性に問題があった場合には、ヒューズを切断することにより、冗長救済、特性調整（トリミング）を容易に行うことが可能となる。

また、前記半導体装置は、少なくとも1辺にプロービングパッドをもたないようにし、その辺にプロービングパッドを使用しない入出力回路を配置すれば、そ

の辺のプロービングパッド形成領域は全て縮減される。

さらにまた、前記半導体装置は、プロービングパッドを千鳥状に配置してもよい。

【0008】

またこの入出力回路セルは、プロービングテスト用のプロービングパッドと、外部接続用の端子パッドとに接続されており、検査時には前記プロービングパッドからテストパターンの入力や出力のモニターや電源の供給を行い、前記回路ブロックの一方のプロービング検査を行うとともに、組立後の完成品段階での検査では端子パッドに接続されたパッケージピン（端子）から信号や電源を供給することにより、前記回路ブロックの他のひとつを駆動するように構成したことを特徴とする。

【0009】

これにより、チップ面積の増大を招くことなく、プロービング検査に際しても、I R ドロップの小さい半導体装置を提供することができる。

【0010】

またこの複数の回路ブロックは、半導体集積回路の内部論理回路ブロックと、周辺の入出力回路ブロックとを含み、前記半導体集積回路の内部論理回路ブロックおよび周辺の入出力回路ブロックは、前記入出力回路セルを介して、プロービングテスト用のプロービングパッドと、外部接続用の端子パッドとに接続されており、検査時には前記プロービングパッドからテストパターンの入力、出力のモニターや電源の供給を行い、前記回路ブロックの一方のプロービング検査を行うとともに、駆動時には端子パッドに接続されたパッケージから信号や電源を供給することにより、前記内部論理回路ブロックを駆動するように構成する。

【0011】

また、このプロービングパッドは、半導体集積回路チップの表面に配設されており、前記端子パッドは、前記プロービングパッドを覆う絶縁膜に形成されたコンタクトを介して、前記入出力回路セルに接続された前記内部論理回路ブロックに接続されるのが望ましい。

【0012】

また、前記プロービングパッドは、半導体集積回路チップの周縁部表面に配設するのが望ましい。これにより、チップ面積を有効に利用することができる。

望ましくは、この半導体集積回路装置は、表面に再配列配線を備え、フェースダウンで実装基板に接続するフリップチップ L S I であることを特徴とする。

【0013】

【発明の実施の形態】

以下、本発明の実施の形態について説明する。まず、セルの構成を示し、その作用を説明する。

この L S I チップ 1 は、図 1 に概略図、図 5 に要部断面図を示すように、チップ外周に配列されたプロービングパッド 2 と、このプロービングパッド 2 の内側にプロービングパッドのそれぞれに接続される第 1 の入出力回路セル 3 S とこの入出力セルの間に配列され、プロービングパッドを持たない第 2 の入出力回路セル 3 n と、これら第 1 および第 2 の入出力セルの上層に配列された再配列配線 5 と、この再配列配線に形成され、素子領域 6 上に形成された端子パッド 4 とを具備したものである。

ここで素子領域 6 は D R A M を構成するものである。

【0014】

次にこの L S I チップ 1 の製造工程について説明する。

まず図 2 に示すように、シリコン基板 1 表面に形成された入出力セルや電源セル 1 a (I / O セル領域 R 1)、素子領域 (内部回路領域 R 2) に D R A M 1 b を形成し、これらの D R A M に対し、層間絶縁膜 1 1 に形成されたコンタクト 1 2 にコンタクトするように第 1 層アルミニウム配線を形成するとともにさらにコンタクト 1 3 を介して第 2 層アルミニウム配線を形成し、プロービングパッド 2 および再配列配線用パッド 2 P を形成する。なお、配線パターン間および配線層間は窒化シリコン膜からなる層間絶縁膜で被覆されている。

【0015】

そして図 3 に示すように層間絶縁膜にコンタクトホールを形成し、プロービングパッド 2 を露呈せしめ、プローブ P によってプロービングテストを行う。

【0016】

そしてこのプロービングテストでDRAM特性に問題ありと判断された場合、図4に示すようにヒューズ層15を切断する。

【0017】

そしてさらに、図5に示すように絶縁保護膜21を塗布し、表面を保護する。

最後に、この絶縁保護膜21にコンタクトを形成し再配列配線5を形成し、バリアメタル9を介して半田バンプ4を形成する。

このようにして図1に示したLSIチップが形成される。

【0018】

かかる構成によれば、プロービングパッドの必要な入出力回路3Sにのみプロービングパッドを形成し、他の入出力回路3nはプロービングパッドを具備しないようにしているため、機能を低下させることなく、素子面積の低減をはかることが可能となる。

【0019】

(第2の実施の形態)

なお、前記実施の形態では、入出力回路1つおきにプロービングパッド2を形成したが、第2の実施の形態では、図7に示すように、4個の入出力回路に対し1個のプロービングパッド2を接続したものである。

この構成では、入出力セル幅を前記第1の実施の形態の半分にすることによりバンプを増やし封止後検査で使用可能な端子数を増大させることができ、高速多ピン化をはかることが可能となる。

なお同一部位には同一符号を付した。

【0020】

(第3の実施の形態)

なお、前記実施の形態では、4辺の入出力回路に対し、入出力回路1つおきにプロービングパッド2を形成したが、この例では第4の実施の形態では、図8に示すように4辺のうちの3辺については前記第1の実施の形態と同様に1つおきにプロービングパッドを形成したが、1辺についてはプロービングパッドをなしにしたものである。

かかる構成によれば、大幅なセル面積の低減をはかることが可能となる。

【0021】

【発明の効果】

本発明によれば、機能を低下させることなく、小型のLSIを形成することが可能となる。

【図面の簡単な説明】

【図1】

第1の実施の形態のLSIの平面説明図である。

【図2】

同LSIのLSIの製造工程図である。

【図3】

同LSIのLSIの製造工程図である。

【図4】

同LSIのLSIの製造工程図である。

【図5】

同LSIのLSIの製造工程図である。

【図6】

同LSIのLSIの製造工程図である。

【図7】

本発明の第2の実施の形態のLSIを示す図である。

【図8】

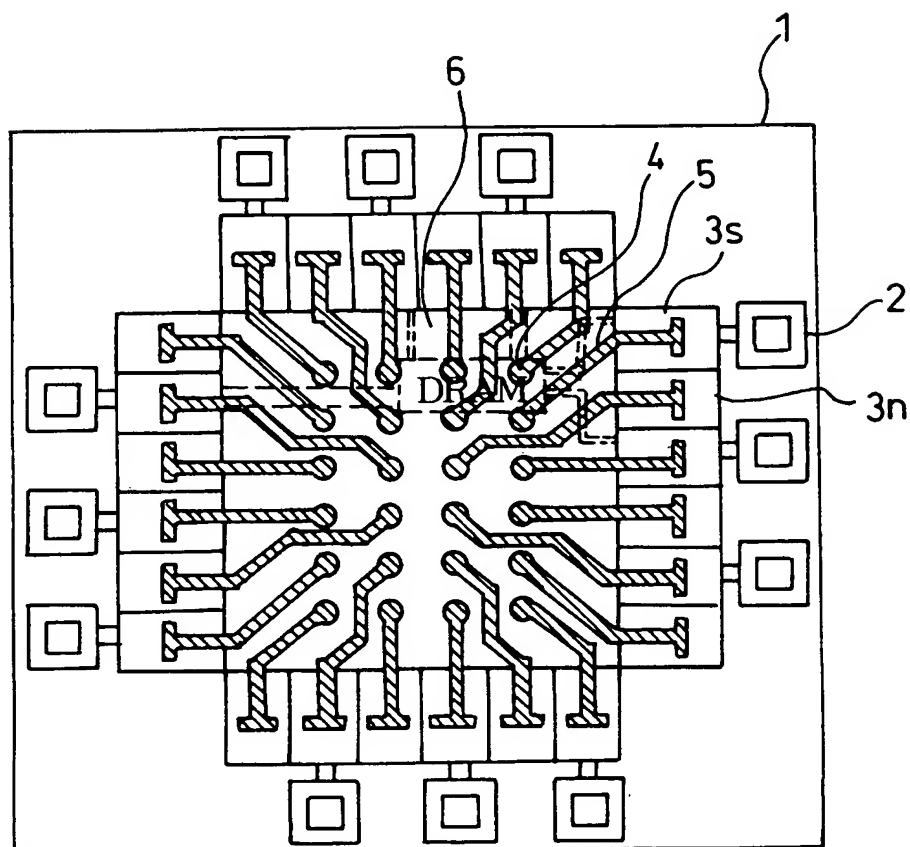
本発明の第3の実施の形態のLSIを示す図である。

【図9】

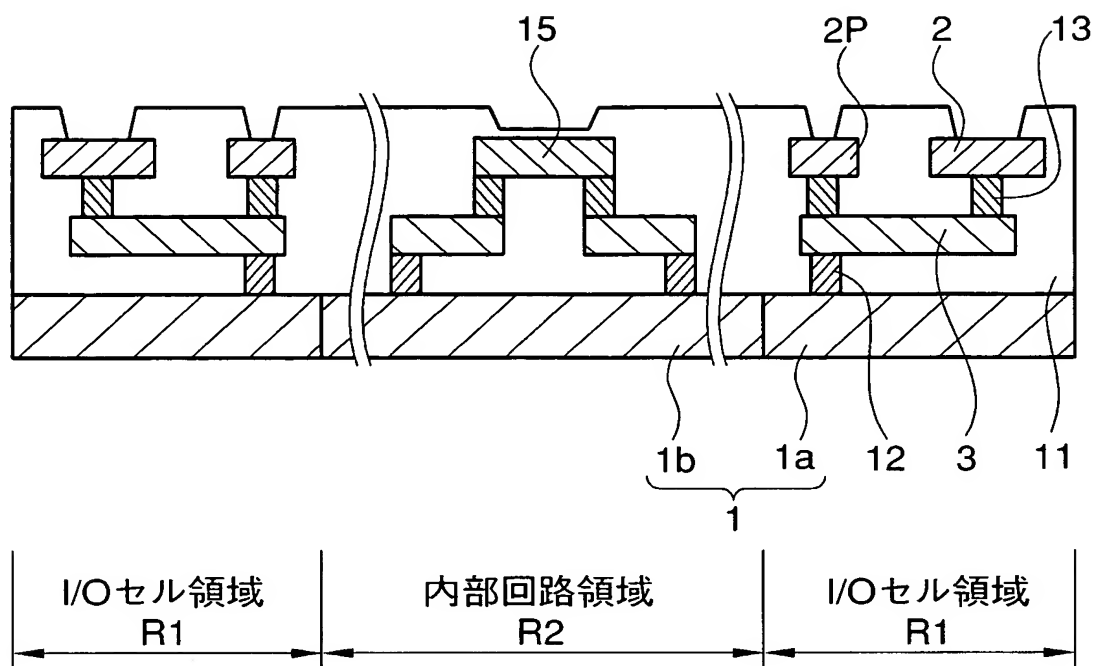
従来例のフリップチップLSIの概要図である。

【書類名】 図面

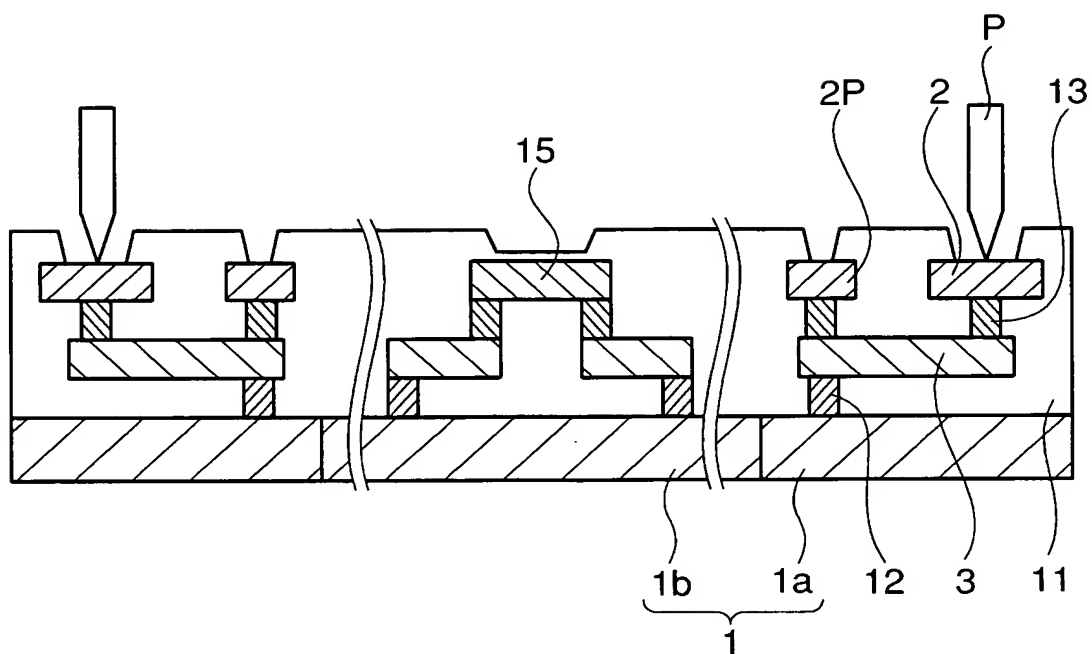
【図 1】



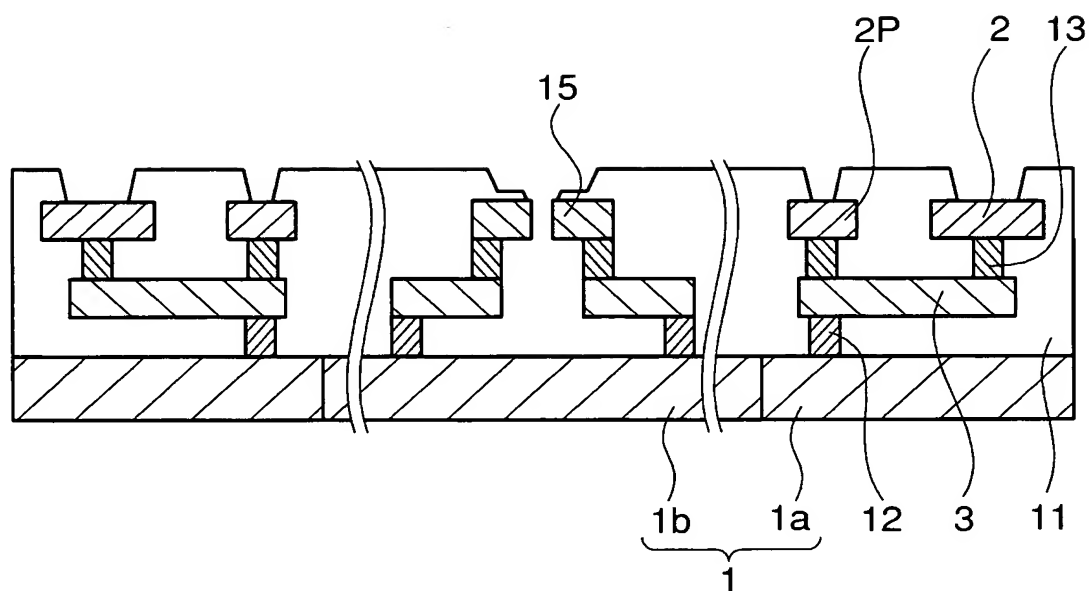
【図 2】



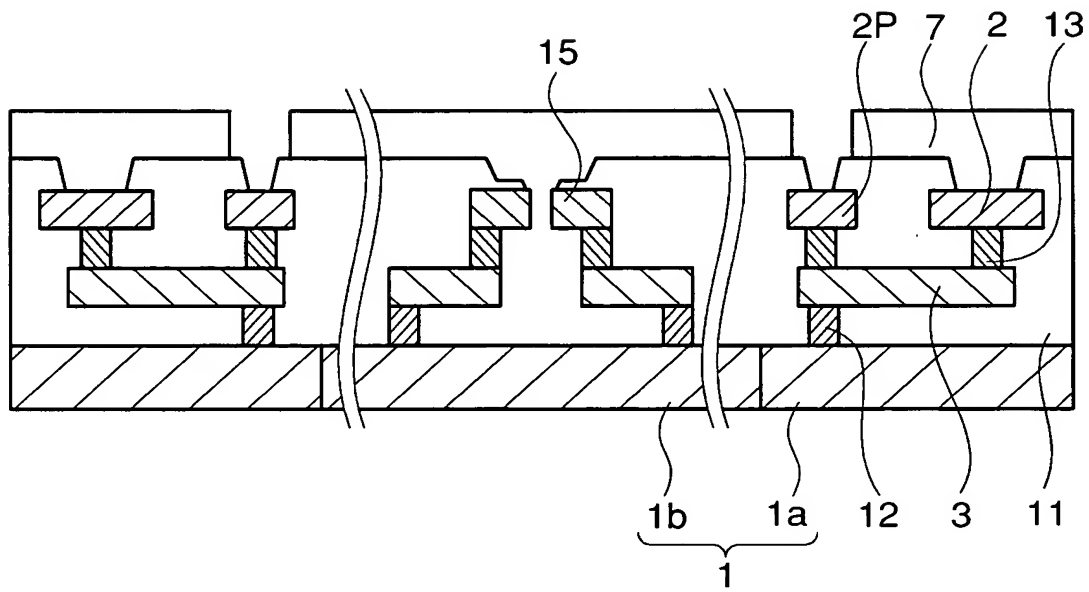
【図 3】



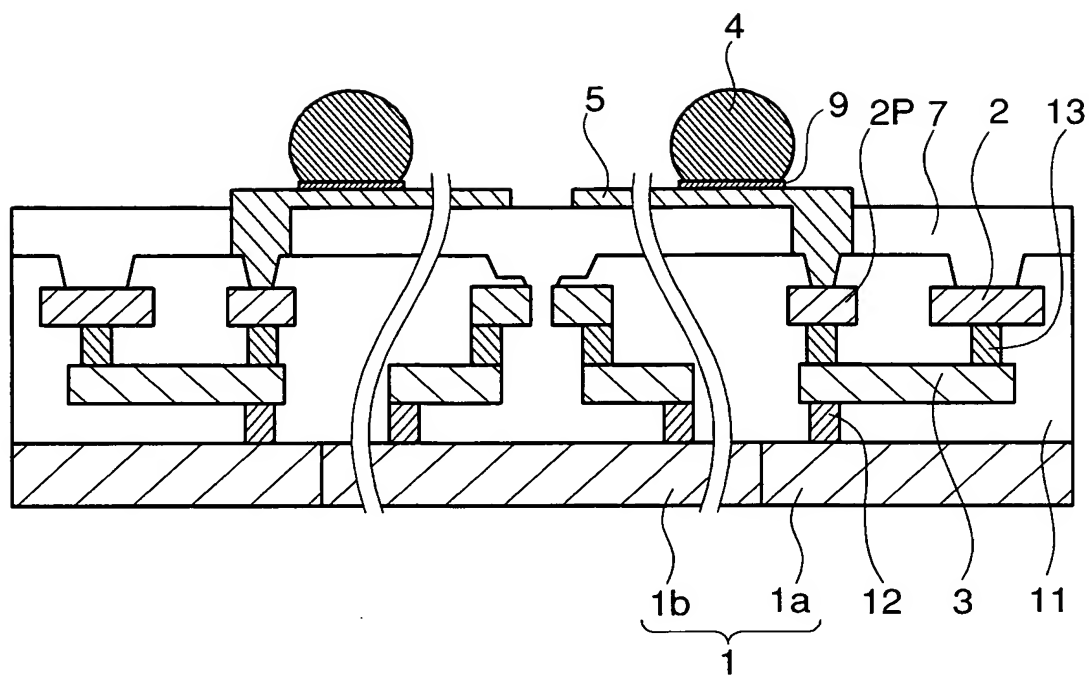
【図 4】



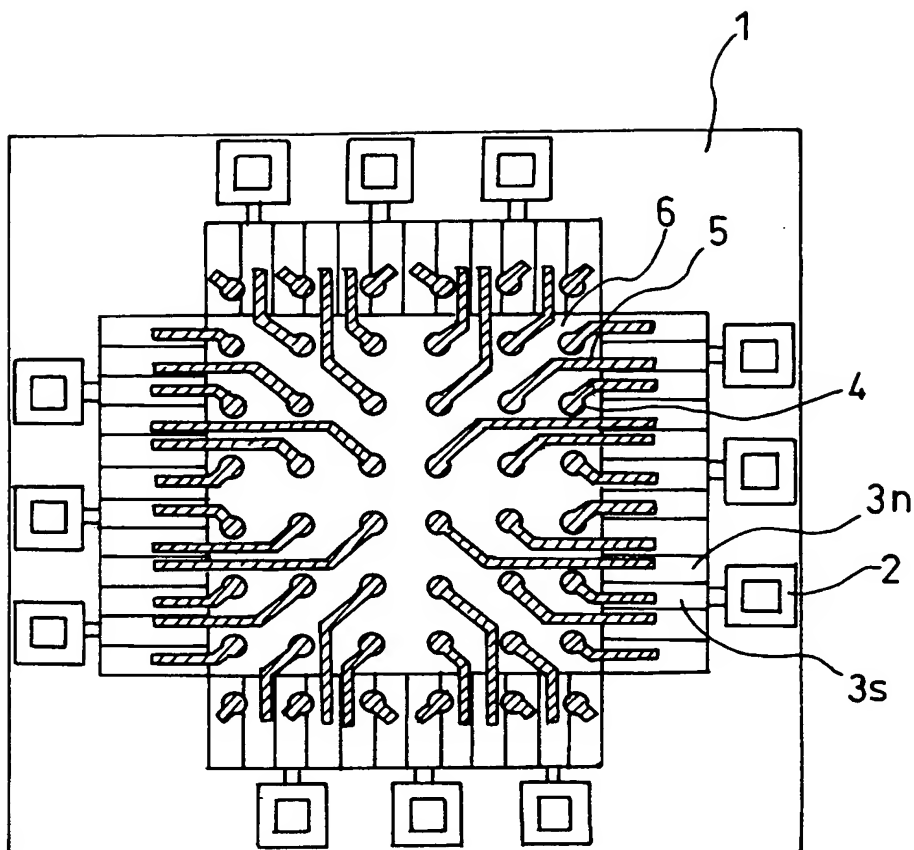
【図 5】



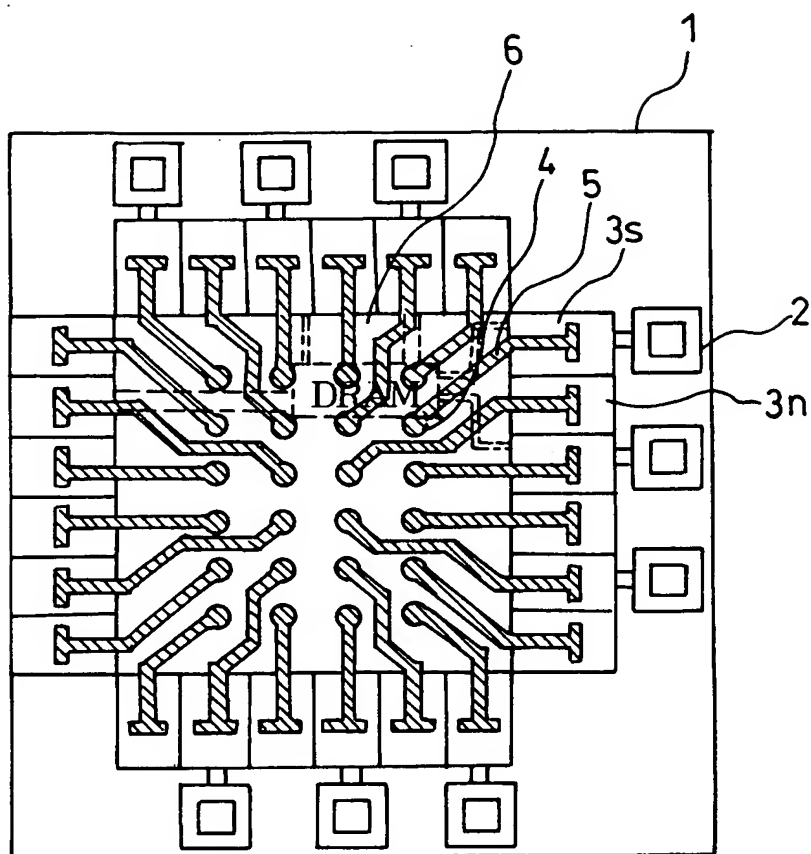
【図 6】



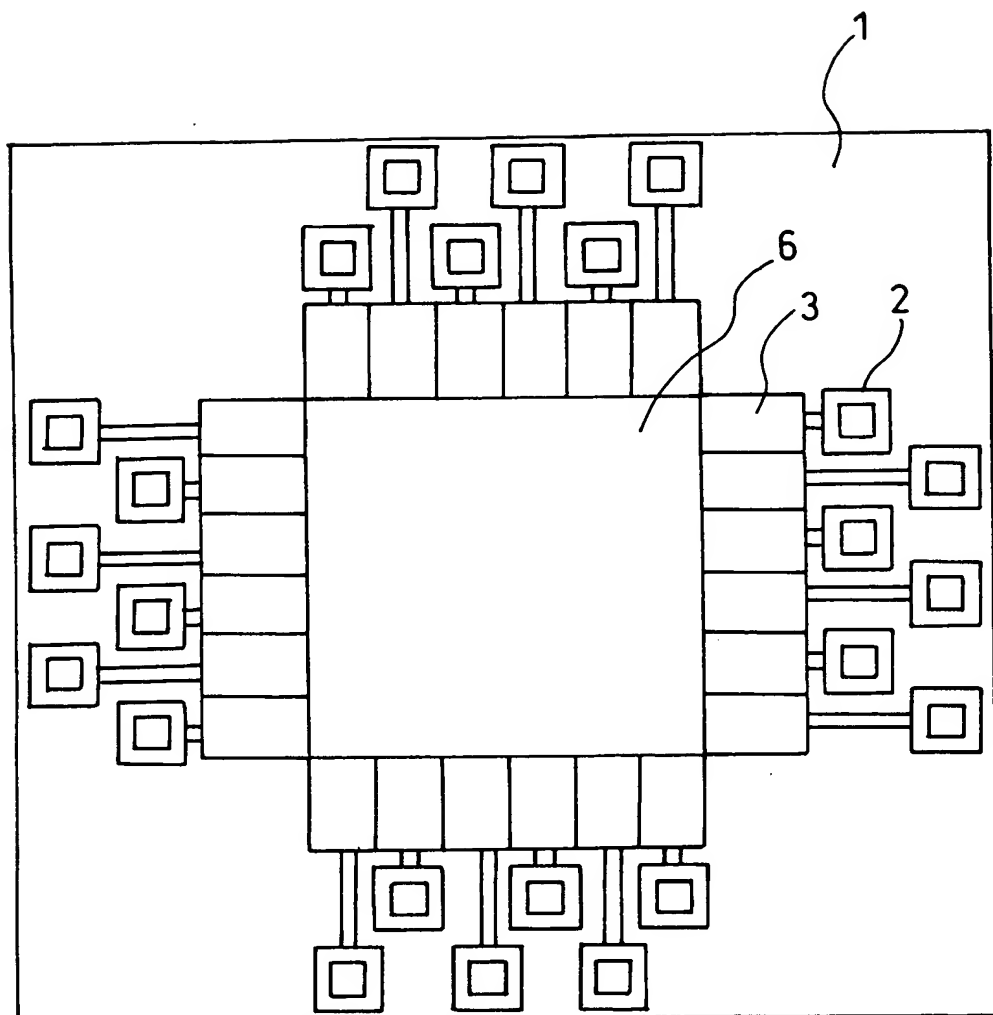
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 小型化、高集積化が可能な半導体装置を提供する。

【解決手段】 再配線を含む半導体装置において、プロービングパッドに接続された入出力（I/O）セルと、プロービングパッドを持たない入出力セルとが混在している

【選択図】 図 1

特願 2 0 0 3 - 0 9 1 9 1 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[変更理由] 新規登録

住 所 大阪府門真市大字門真 1 0 0 6 番地

氏 名 松下電器産業株式会社